

# PHOTOELECTRIC CONVERSION DEVICE

Publication number: JP6339082

Publication date: 1994-12-06

Inventor: MIYAWAKI MAMORU; UENO TOSHITAKE

Applicant: CANON KK

Classification:

- International: **H04N1/028; H04N1/401; H04N3/15; H04N5/335; H04N1/028; H04N1/401; H04N3/15; H04N5/335; (IPC-1-7): H04N5/335; H04N1/028; H04N1/40**

- European: **H04N3/15E; H04N3/15E6**

Application number: JP19930127086 19930528

Priority number(s): JP19930127086 19930528

Also published as:



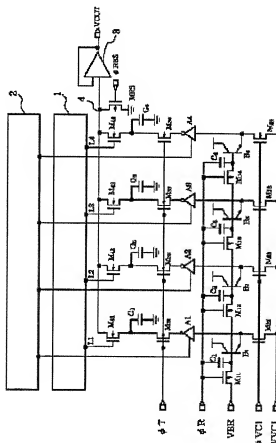
EP0626784 (A1)

EP0626784 (B1)

Report a data error here

## Abstract of JP6339082

**PURPOSE:** To excellently perform a processing where each signal is multiplied by an arbitrary coefficient by providing with an amplifier which is capable of controlling gain from the outside on the output terminal of each photoelectric conversion element. **CONSTITUTION:** Bipolar type photoelectric conversion elements are in a manner of one dimension arranged and each base area is connected via PMOSFET-M11 to M14. The emitter output line of each photoelectric conversion element is independently connected with amplifiers A1 to A4. Optical carriers are stored on the bases of bipolar transistors B1 to B4 and is outputted from an emitter terminal. At this time, prescribed voltage from a power source 2 is impressed on the control terminals of the amplifiers A1 to A4 and each amplifier is made to have desired gain. Afterwards, an output line 4 is reset, a scanning circuit 1 is made to operate and signals are transferred to outputs via an output buffer 3.



Data supplied from the esp@cenet database - Worldwide



特開平6-339082

(43)公開日 平成6年(1994)12月6日

(51)Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 N	5/335	Q		
	1/028	A	8721-5C	
	1/40	1 0 1 A	9068-5C	

審査請求 未請求 請求項の数 1 O L (全 9 頁)

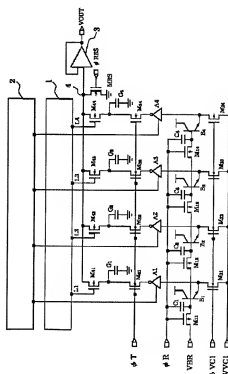
(21)出願番号	特願平5-127086	(71)出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	平成5年(1993)5月28日	(72)発明者	宮脇 守 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		(72)発明者	上野 勇武 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		(74)代理人	弁理士 丸島 儀一

(54)【発明の名称】 光電変換装置

(57)【要約】

【目的】 各信号に係数を掛ける処理を行なう。

【構成】 複数の光電変換要素 ( $B_1 \cdots B_n$ ) よりなる光電変換装置において、各光電変換要素の出力端子に、利得を外部より制御できる増幅器 ( $A_1 \cdots A_n$ ) を設けたことを特徴とする光電変換装置を提供する。



1

【特許請求の範囲】

【請求項1】 複数の光電変換要素よりなる光電変換装置において、各光電変換要素の出力端子に、利得を外部的に制御できる増幅器を設けたことを特徴とする光電変換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、複写機、ファクシミリ、ビデオカメラレコーダー、カメラのA/Eセンサ、A/Fセンサとして用いられる光電変換装置に関する。

【0002】

【背景技術の説明】 近年、電子技術が高度に進歩し、光電変換装置としての固体撮像装置の分野においても高精細化し、高画質化が急速に実現されてきた。ところで、固体撮像装置からの出力信号はそのままの形で利用されるのは非常に稀であり、数段の信号処理された後、例えばTV信号等が作られる。

【0003】

【発明が解決する技術課題】 従って、高精細化の為に、画素数を増大すると、信号処理において、膨大な演算、処理が必要であり、高画質化が信号処理によって律速されることもあった。

【0004】

【課題を解決するための手段】 本発明は、信号処理機能を固体撮像装置の中に取り入れるべく各信号に係数を掛けた信号を出力する固体撮像装置を提供することを目的とする。

【0005】 上述した目的は、複数の光電変換要素よりなる光電変換装置において、各光電変換要素の出力端子に、利得を外部的に制御できる増幅器を設けたことを特徴とする光電変換装置により達成される。

【0006】

【実施例】

【実施例1】 図1に本発明による第1の実施例を示す。本実施例では光電変換要素としてバイポーラ型光電変換素子を1次元に並べたものであり、それぞれの電圧領域はPMOSトランジスタ $M_{11} \sim M_{14}$ を介して接続されている。

【0007】 また、各光電変換素子のエミッタ出力線には独立に増幅器A1～A4が接続されている。

【0008】 本実施例の動作を図2のタイミングチャートを用いて簡単に説明する。

【0009】 まず、時刻 $t_1$ において、 $\phi_1$ にLowレベルのバースを印加すると、PMOSトランジスタ $M_{11} \sim M_{14}$ がON状態になり、バイポーラトランジスタ $B_1 \sim B_4$ が共通接続されるとともに、 $V_{BE}$ 電圧にリセットされる。その後、 $\phi_2$ はMiddleレベルまで立上ることにより、PMOSトランジスタ $M_{11} \sim M_{14}$ はOFF状態になり、リセット動作は終了する（クランプ・リセット）。

2

【0010】 次に、時刻 $t_2$ において、 $\phi_{1C1}$ バースが立上ると、NMOSトランジスタ $M_{21} \sim M_{24}$ がON状態になり、バイポーラトランジスタ $B_1 \sim B_4$ のエミッタ端子はすべて $V_{CC}$ 電圧にリセットされ、さらに、時刻 $t_2$ において、 $\phi_2$ バースがHighレベルまで立上ると、バイポーラトランジスタ $B_1 \sim B_4$ のベース電位は容量 $C_1 \sim C_4$ を介して、もち上げられ、ベース・エミッタ間が順バイアス状態になり、バイポーラトランジスタは一齐にエミッタ・フォロア動作を行ない、ベース上のホールが再結合され、ベース電位は、 $V_{CC} + V_{BE}$ 近傍におちつく（過渡リセット動作）。過渡リセット動作が終了すると時刻 $t_4$ において、 $\phi_2$ バースがMiddleレベルまで立下がり、従って容量 $C_1 \sim C_4$ を介して、各バイポーラトランジスタのベース電位も下がり、ベース・エミッタ間は逆バイアス状態になる。この状態から光キャリアの蓄積動作が開始される。

【0011】 所定の蓄積時間が経過した後、時刻 $t_5$ において、 $\phi_1$ および $\phi_2$ のバースがHighレベルまで立上ると、NMOSトランジスタ $M_{31} \sim M_{34}$ がON状態になると同時にバイポーラトランジスタ $B_1 \sim B_4$ のベース電位はもち上げられベース・エミッタ間バイアスが順バイアス状態になり、ベース上に蓄積された光キャリアは、エミッタ端子から出力される。この時、増幅器A1～A4のコントロール端子に電源より所定の電圧を印加すれば、個々の増幅器に所望のゲインを持たせることができる。

【0012】 増幅器A1～A4の出力は、 $C_{11} \sim C_{14}$ にそれぞれ読み出され、時刻 $t_6$ において、 $\phi_1$ バースがLowレベルに立下がり、NMOSトランジスタ $M_{31} \sim M_{34}$ がOFF状態になり、各容量 $C_{11} \sim C_{14}$ の電圧は保持される。

【0013】 その後時刻 $t_7$ において $\phi_{1C1}$ にHighレベルのバースを印加し、NMOSトランジスタ $M_{41}$ をON状態にし、出力線4をリセットした後走査回路1を動作させ、 $C_{11}$ 上の信号から順に出力バッファ3を介して出力端子 $V_{out1}$ に転送することによって、一連の動作は終了する。

【0014】 ところで、増幅器A1～A4の好適な回路図とそのDC特性図を図3及び図4に示す。

【0015】 図3は、NPトランジスタを用いた反転増幅器でありエミッタ端子に設けられたNMOSトランジスタのゲート電圧により、ゲインを制御するものである。

【0016】 この反転増幅器のDC特性計算結果を図4に示す。

【0017】 横軸に入力電圧 $V_{in}$ 、縦軸に出力電圧 $V_{out}$ をとり、ゲイン制御電圧 $V_c$ をパラメータにグラフ化したものである。図からも判かる様に、 $V_c$ を大きくする程、ゲインは大きくなっており、また回路規模も小さいことから本実施例に好適である。また、言うまでも

なく、他種の増幅器を用いても良い。

【0018】(実施例2) 図5に本発明による第2の実施例を示す。本実施例は、第1の実施例に改良を施したもので、電源装置2が省かれ、増幅器A1~A4のゲイン制御電圧は、V-GAIN端子よりシリアルに入力される様になっている。

【0019】動作は例えば、蓄積期間中に、走査回路1を動作させ、NMOSトランジスタM51をON状態にし、V-GAIN端子より増幅器A1のゲイン制御電圧を書き込み、その後、L1の脉冲をLowレベルにし、M51をOFF状態にし、書き込んだ電圧を保持する。この動作を増幅器A1~A4まで順次行ない、動作終了後に、 $\phi_s$  脉冲をHighレベルにすると、各光電変換素子が読み出し動作を行ない各出力値に、それぞれゲイン倍された電圧がC11~C14に読み出される。

【0020】上記以外の動作は、第1の実施例と全く同様に行なうことができる。

【0021】従って、個々の増幅器に対して電源を設けるよりは大幅な省スペースが実現できる。

【0022】尚、上記動作説明において、増幅器A1~A4のゲイン制御電圧の書き込みは蓄積期間中に行なうとしたが、その他の期間でもよく、例えば、C11~C14の電荷の順次転送中に行なってもよい。この場合増幅器A1~A4に書き込んだゲイン制御電圧は次の光電変換動作時に用いられることになる。

【0023】(実施例3) 図6に、本発明による第3の実施例を示す。本実施例は、第2の実施例を2次元光電変換装置に展開したもので、光電変換素子のリセット、信号読み出し動作を、行単位で順次行なう為、垂直走査回路5が設けられているが、基本的な動作は第2の実施例と全く同様である。

【0024】(実施例4) 図7に本発明の第4の実施例を示す。第1~第3実施例では光電変換部は、ベース、コレクタ接合をフォトダイオードとしたバイポーラによる増幅素子を用いた例であるが、本実施例では、MOSを用いるものである。従来と異なる箇所は、同一番号をつけて説明は省略する。11はMOSのゲートにフォトダイオードを接続し、一方、10に示す如くMOSアンプの抵抗を可変抵抗としている。10の可変抵抗は、MOSのゲートを2重構造にし、12に示す如く下側ゲートはフローディング上側ゲート的一方13は電源と接続し、上側ゲートのもう一方14は、電圧パルスが印加されるようになっている。

【0025】電圧パルスの振幅量に応じて、フローディングゲートの電位は変化し、これにより10に示すMOSは可変抵抗として働く。本実験の場合も、フォトダイオードで発生した光信号が、上記10の可変抵抗で決まるアンプゲイン倍した値に変換され、この変調信号が読み出し容量を介して、シフトレジスタにより順次読出される。

【0026】図7には、一次元センサの例を示したが、本発明は、一次元に限定されず2次元センサとして使用することも可能であることは言うまでもない。

【0027】(実施例5) 図8に本発明の第5の実施例を示す。S1j (1j=1~4) は、11に示すようにベース分離用PMOS12とベース電位制御用容量13はバイポーラ15から成る。

【0028】セルS11、S21は垂直ライン16に出力され、一方セルS12、S22は垂直ライン17に出力される。各々の選択はパルス $\phi_{r11}$ 、 $\phi_{r12}$ により行なわれる。

【0029】まず、 $\phi_{r11}$  にハイパルスが印加され、S11とS12セルが選択され、それぞれの出力が上下に同時にアンプa1j (1, j=1, 2) のゲートに読出される。

【0030】それぞれのアンプゲインは、上下に配線された電圧源より18、19、20、21の配線を通して調整され、アンプ出口は $\phi_{r11}$  パルスをハイレベルにしてS11の光出力にa11のアンプゲインをかけた出力を容量22へ、一方S12の光出力にa12のアンプゲインをかけた出力を容量23へ、S11の光出力にa21のアンプゲインをかけた出力を容量24へ、一方S12の光出力にa22のアンプゲインをかけた出力を容量25へ読出す。

【0031】次に $\phi_{r11}$  をローレベルにして、 $\phi_{r12}$  をハイレベルにすると、セルS21、S22が選択され、前回と同様にa1j (1j=1~2') のアンプのゲートに読出される。

【0032】 $\phi_{r12}$  をハイレベルにしてS11セルの光出力にa11アンプゲインをかけた出力を容量26へ、S12セルの光出力にa12アンプゲインをかけた出力を容量27へ、S21セルの光出力にa21アンプゲインをかけた出力を容量28へ、S22セルの光出力にa22アンプゲインをかけた出力を容量29へ読出す。

【0033】容量22、23、26、27へ読出された信号は容量30、31、32、33を介して加算されアンプ38より、一方容量24、25、28、29へ読出された信号は容量34、35、36、37を介して加算されたアンプ39より出力される。

【0034】38、39の出力は差動アンプ40により減算出力が出される。従って、ゲインとしてはプラスとマイナスのものが混在しても良く、画像のフーリエ変換出力が高速で読出される利点を有する。

【0035】

【発明の効果】本発明によれば、各信号に任意の係数をかける信号処理が良好に行なえる。

【図面の簡単な説明】

【図1】本発明の実施例1による光電変換装置の回路構成図である。

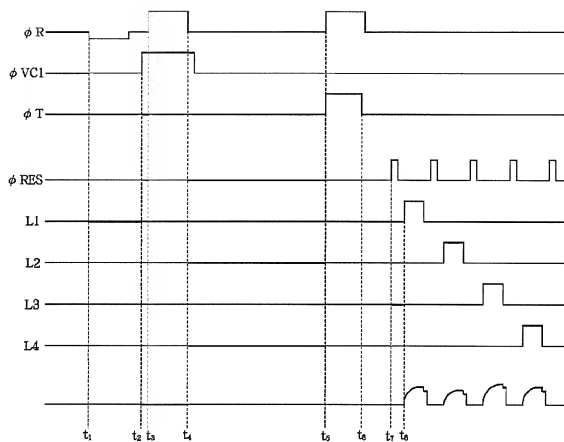
【図2】実施例1による光電変換装置の動作を説明するためのタイミングチャートである。

【図3】本発明に用いられる増幅器の回路図である。

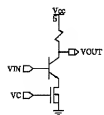
6

【図 8】本発明の実施例 5 による光電変換装置の回路構成図である。

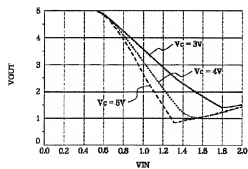
【図2】



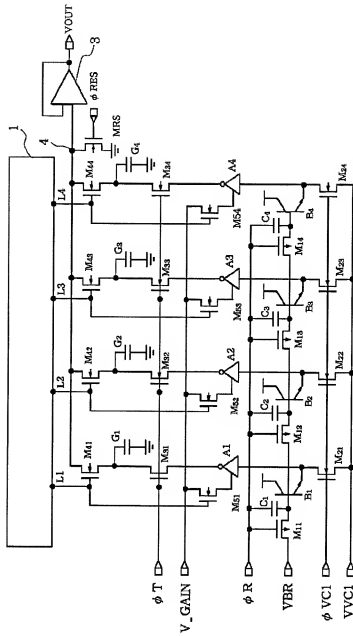
【図3】



【図4】

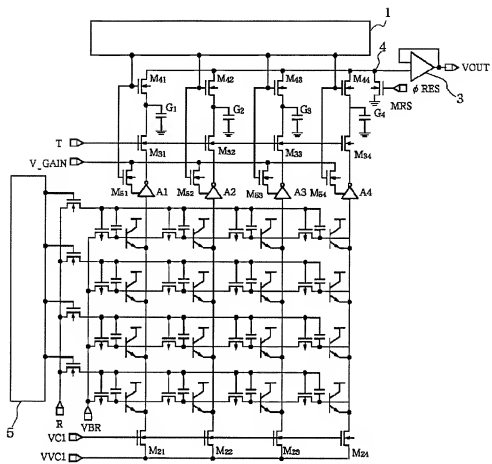


【図5】





【図6】



【图7】

